

Japanese Patent Laid-open Publication No. HEI 10-4434 A

Publication date : January 6, 1998

Applicant : FUJITSU LIMITED and Nihon Denshin Denwa K. K.

Title : Phase Difference Absorbing Memory Device and a Failure

5 Detection Method for Such a Memory Device

(57) Abstract

[Subject] This invention relates to a phase difference absorbing memory device and its failure detection method, and 10 makes it possible to detect a failure by using a comparatively simple structure and method.

[Means to Solve the Problems] This memory device is provided with a data memory 1 for writing unit data such as cell data, an address memory 2 for storing the next address used for reading 15 unit data corresponding to an information source next time and the previous address used in the previous reading operation, an address managing memory 3 for managing a leading address and an ending address in the data memory 1 corresponding to the information source and a leading address and an ending 20 address in a space area in the data memory 1, an address managing unit 4 which refers to the contents of the address memory 2 and the address managing memory 3 so as to output a writing address WA and a reading address RA, a reading address holding unit 6 for holding the reading address, and a comparison unit 25 5 which compares the previously read address held in this

reading address holding section 6 and the previous address read from the address memory 2, and determines that, if they are coincident, it is normal and that, if they are not coincident, it is abnormal.

5

[0002]

[PRIOR ART] Fig. 6 is an explanatory drawing that shows a conventional non-hit switching circuit, and reference numerals 21, 22 are phase-difference absorbing memories, 23 10 is a Phase synchronous control section, 24 is a comparator, and 25 is a selector. A 0-system ONU (subsidiary station) number and 0-series input data are given to the phase-difference absorbing memory 21, and a 1-system ONU number and 1-system input data are given to the phase-difference 15 absorbing memory 22.

[0003] Data successively read from the phase-difference absorbing memories 21, 22 are phase-compared in the comparator 24, and the Phase synchronous control section 23 controls reading addresses of the phase-difference absorbing memories 20 21, 22 so as to make the phases of these coincident with each other. Here, in the case when a current/preliminary switching signal is given to the selector 25, even if switching is made from either one of the 0-system and 1-system with the matched phases to the other, the switching is carried out without 25 causing any lack of data. In other words, it is possible to

carry out a non-hit switching operation.

[0004] Fig. 7 is an explanatory drawing that shows a passive double star type transmission path, and reference numeral 31 is a main station, 32-1 to 32-n are subsidiary stations (ONU), 5 33a, 33b are photo couplers, 34a, 34b are transmitter-receiver units of current and preliminary systems, 35-1a to 35-na, 35-1b to 35-nb are transmitter-receiver units of the current system and preliminary system, and 36a, 36b, 37-1a to 37-na, 37-1b to 37-nb are optical fiber transmission paths. The main 10 station 31 corresponds to a station-side device (SLT; Subscriber Line Terminal), and subsidiary stations 32-1 to 32-n correspond to subscriber devices (ONU; Optical Network Unit).

[0005] As indicated by #1 to #n (the order of which is not limited by this) in the downward transfer direction from the 15 transmitter-receiver units 34a, 34b of the current system and preliminary system of the main station 31, for example, cell data to the respective subsidiary stations 32-1 to 32-n are time-division multiplexed, and transferred to the optical 20 fiber transmission paths 36a, 36b as light signals, and then distributed by the photo couplers 33a, 33b to the respective subsidiary stations 32-1 to 32-n; thus, the respective subsidiary stations 32-1 to 32-n carry out receiving processes 25 on cell data addressed to their own stations by using the transmitter-receiver units 35-1a to 35-na, 35-1b to 35-nb of

the current system and the preliminary system. Moreover, in synchronized timing preliminarily set based upon this receiving timing, they transmits burst data (cell data) addressed to the main station 31 (where upward data is not 5 dependent on the order of the downward data. Not limited to the order shown in the Figure.)

[0006] Burst data of light signals from the transmitter-receiver units 35-1a to 35-na, 35-1b to 35-nb of the current system and preliminary system in the respective 10 subsidiary stations 32-1 to 32-n are transferred to the photo couplers 33a, 33b through the optical fiber transmission paths 37-1a to 37-na, 37-1b to 37-nb, where they are wave-composed so that as indicated by the upward transfer direction, they are in a multiplexed state in the guard time, and transferred 15 to the transmitter-receiver units 34a, 34b of the main station 31 through the optical fiber transmission paths 36a, 36b.

[0007] In this case, distances from the transmitter-receiver units 35-1a to 35-na of the current system and the transmitter-receiver units 35-1b to 35nb of the preliminary 20 system in the respective subsidiary stations 32-1 to 32-n to photo couplers 33a, 33b tend to be different from each other, with the result that, as indicated by the upward transfer direction, there is a case in which not the order of the subsidiary stations #1 to #n, but the order in the current 25 system and the preliminary system is different. For example,

the order becomes different, as shown in #1, #3, #2, ..., or in some cases, space time slots may be interpolated therein.

[0008] Therefore, in the main station 31, in the case when a non-hit switching device as shown in Fig. 6 is adopted, if 5 the phases of cell data from the same subsidiary station are made coincident, the phase of cell data from other subsidiary station is not coincident; therefore, such a non-hit switching circuit is not applicable.

[0009] Therefore, a construction has been proposed in which 10 in the main station 31, received data that has been burst-multiplexed is separated so as to correspond to the subsidiary stations, and re-multiplexed so that the phases of the cell data of the current system and preliminary system are made coincident with each other. For example, as shown 15 in Fig. 8, in some cases, cell data D1, D2, D3, ... corresponding to the subsidiary stations #1, #2, #3 of the current system and the preliminary system are waveform-composed and multiplexed by the photo couplers 33a, 33b of Fig. 7, with the result that space time slots are interpolated therein or 20 the arrangement becomes different from the order of the subsidiary stations, and the resulting data is transferred to the main station 31.

[0010] Therefore, as illustrated in the lower part (the subsidiary station #3 is omitted from the Figure), with respect 25 to each of the current system and the preliminary system, the

data are multiplexed and separated so as to correspond to the subsidiary stations #1, #2 and #3. Thus, since the cell data D1, D2, D3... corresponding to the subsidiary stations #1, #2, #3 are aligned in a predetermined order, these are respectively
5 re-multiplexed with respect to the current system and the preliminary system. Therefore, since pieces of cell data of the current system and the preliminary system are set in the same order, it is possible to carry out a non-hit switching process by making the phases of the cell data of the current system and the preliminary system coincident with each other.
10

[BRIEF DESCRIPTION OF THE DRAWINGS]

[FIG. 6] Fig. 6 is an explanatory drawing that shows a conventional non-hit switching circuit.

15 [FIG. 7] Fig. 7 is an explanatory drawing that shows a passive double star type transmission path.

[FIG. 6] Explanatory drawing of a conventional non-hit switching circuit

20 23 Phase synchronous control section

matching detection signal

reading control

21 Phase difference absorbing memory

0-system ONU number

25 0-system input data

22 Phase difference absorbing memory

1-system ONU number

0-system input data

24 Comparator

5 25 Selector

Current/preliminary switching signal

[FIG. 7] Explanatory drawing of a passive double star type
transmission path

10 Downward transfer direction

Upward transfer direction

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-4434

(43)公開日 平成10年(1998)1月6日

(51)Int.Cl.
H 04 L 13/08
29/14

識別記号 庁内整理番号

F I
H 04 L 13/08
13/00

技術表示箇所
3 1 1

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21)出願番号

特願平8-155225

(22)出願日

平成8年(1996)6月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 阿比留 節雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外2名)

最終頁に続く

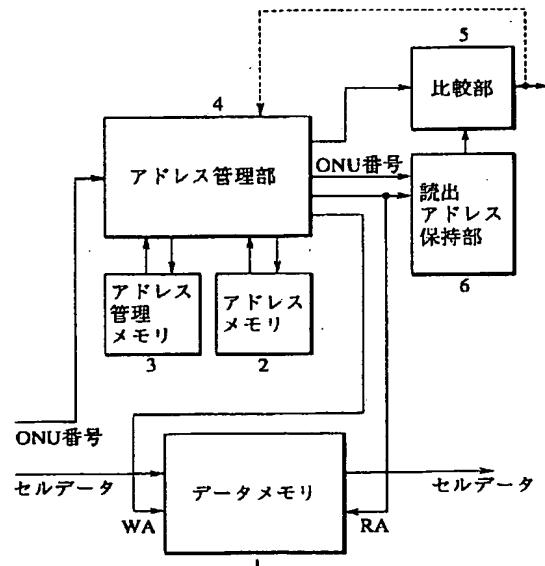
(54)【発明の名称】 位相差吸収用メモリ装置及び該メモリ装置の故障検出方法

(57)【要約】

【課題】 位相差吸収用メモリ装置とその故障検出方法に関し、比較的簡単な構成及び方法により故障を検出する。

【解決手段】 セルデータ等の単位データを書込むデータメモリ1と、情報源対応の単位データを次回に読出す為の次アドレスと、前回読み出しを行った前アドレスとを格納したアドレスメモリ2と、情報源対応のデータメモリ1に於ける先頭アドレス及び末尾アドレスと、データメモリ1の空き領域の先頭アドレス及び末尾アドレスとを管理するアドレス管理メモリ3と、アドレスメモリ2とアドレス管理メモリ3との内容を参照して、書き込みアドレスWAと読み出アドレスRAとを出力するアドレス管理部4と、読み出アドレスを保持する読み出アドレス保持部6と、この読み出アドレス保持部6に保持された前回の読み出アドレスと、アドレスメモリ2から読み出した前アドレスとを比較して、一致の場合は正常、不一致の場合は異常と判断する比較部5とを備えている。

本発明の第1の実施の形態の説明図



【特許請求の範囲】

【請求項1】 複数の情報源からの単位データを順次書き込み、該複数の情報源対応の単位データを所定の順序で読み出すデータメモリと、
 前記情報源対応の単位データを次回に読み出す為の次アドレスと、前回読み出しを行った前アドレスとを格納したアドレスメモリと、
 前記情報源対応に単位データを前記データメモリに書き込んだ先頭アドレス及び末尾アドレスと、前記データメモリの空き領域の先頭アドレス及び末尾アドレスとを管理するアドレス管理メモリと、
 前記アドレスメモリ及び前記アドレス管理メモリの内容を参照して前記データメモリに書きアドレス及び読み出アドレスを加えるアドレス管理部と、
 前記アドレスメモリから読み出す情報源対応の単位データの読み出アドレスを保持する読み出アドレス保持部と、
 前記アドレスメモリに格納された前記情報源対応の前アドレスと、前記読み出アドレス保持部に保持された前記情報源対応の前回の読み出アドレスとを比較し、一致の場合に正常、不一致の場合に異常と判断する比較部とを備えたことを特徴とする位相差吸収用メモリ装置。

【請求項2】 複数の情報源からの単位データを順次書き込み、該複数の情報源対応の単位データを所定の順序で読み出すデータメモリと、
 前記情報源対応の単位データを次回に読み出す為の次アドレスと情報源番号とを対として格納したアドレスメモリと、
 前記情報源対応に単位データを前記データメモリに書き込んだ先頭アドレス及び末尾アドレスと、前記データメモリの空き領域の先頭アドレス及び末尾アドレスとを管理するアドレス管理メモリと、
 前記アドレスメモリ及び前記アドレス管理メモリの内容を参照して前記データメモリに書きアドレス及び読み出アドレスを加えるアドレス管理部と、
 前記アドレスメモリに格納された前記情報源番号と、前記データメモリから今回読み出した単位データの情報源番号とを比較し、一致の場合に正常、不一致の場合に異常と判断する比較部とを備えたことを特徴とする位相差吸収用メモリ装置。

【請求項3】 アドレス管理メモリとアドレスメモリとを参照して、データメモリに書きアドレス及び読み出アドレスを加えるアドレス管理部を有し、前記データメモリに、情報源対応の次回に読み出しを行う為の次アドレスと、該情報源対応の前回読み出しを行った前アドレスとを格納し、前記データメモリから今回の単位データの読み出時に、今回の読み出アドレスを情報源対応に読み出アドレス保持部に保持し、前回の読み出アドレスと前記アドレスメモリに格納された前アドレスとを比較し、一致の場合に正常、不一致の場合に異常と判断する過程を含むことを特徴とする位相差吸収用メモリ装置の故障検出方法。

【請求項4】 アドレス管理メモリとアドレスメモリとを参照して、データメモリに書きアドレス及び読み出アドレスを加えるアドレス管理部を有し、前記データメモリに、情報源対応の次回の読み出しを行う次アドレスと、該情報源番号とを格納し、前記データメモリから今回の単位データの読み出しを行った情報源番号と、前記アドレスメモリに格納された情報源番号とを比較し、一致の場合に正常、不一致の場合に異常と判断する過程を含むことを特徴とする位相差吸収用メモリ装置の故障検出方法。

【請求項5】 前記データメモリから今回の単位データの読み出時に、今回の単位データの読み出しを行った情報源番号と、前記アドレスメモリに格納された情報源番号とを比較し、不一致の場合に異常と判断して、該情報源番号についての前記アドレスメモリの次アドレスを絶てクリアする過程を含むことを特徴とする請求項4記載の位相差吸収用メモリ装置の故障検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、位相差吸収を共通メモリによって行う位相差吸収用メモリ装置及びそのメモリ装置の故障検出方法に関する。二重化伝送システムに於いて、現用系と予備系とのデータの受信位相の差をメモリを用いて吸収し、位相を一致させて現用予備切替えを行うことにより、無瞬断切替えを行う方式が知られている。又大容量通信システムとして、パッシブダブルスター（Passive Double Star）型伝送システムが知られており、このようなシステムに於いても二重化構成として信頼性の向上を図っており、その為に、現用予備の無瞬断切替えを行うことが要望されている。

【0002】

【従来の技術】 図6は従来例の無瞬断切替回路の説明図であり、21, 22は位相差吸収メモリ、23は位同期制御部、24は比較器、25はセレクタである。位相差吸収メモリ21に0系ONU（従局）番号と0系入力データとが加えられ、位相差吸収メモリ22に1系ONU番号と1系入力データとが加えられる。

【0003】 又位相差吸収メモリ21, 22から順次読み出されたデータが比較器24に於いて位相比較され、この位相が一致するように、位同期制御部23により位相差吸収メモリ21, 22の読み出アドレスの制御が行われる。そして、セレクタ25に現用予備の切替信号が加えられると、位相が一致された0系と1系との何れか一方から他方へ切替ても、データの欠落を生じることなく切替えることができる。即ち、無瞬断切替えを行うことができる。

【0004】 図7はパッシブダブルスター型伝送路の説明図であり、31は主局、32-1～32-nは従局（ONU）、33a, 33bは光カプラ、34a, 34bは現用系及び予備系の送受信部、35-1a～35-

50

n a, 35-1 b ~ 35-n b は現用系及び予備系の送受信部、36 a, 36 b, 37-1 a ~ 37-n a, 37-1 b ~ 37-n b は光ファイバ伝送路である。主局 31 は局側装置 (S LT; Subscriber Line Terminal) に相当し、又従局 32-1 ~ 32-n は加入者装置 (ONU; Optical Network Unit) に相当する。

【0005】主局 31 の現用系及び予備系の送受信部 34 a, 34 b から下り伝送方向の #1 ~ #n (順序はこれに限定されない) として示すように、各従局 32-1 ~ 32-n に対する例えればセルデータが時分割多重化され、光信号として光ファイバ伝送路 36 a, 36 b に送出され、光カプラ 33 a, 33 b により各従局 32-1 ~ 32-n に分配され、各従局 32-1 ~ 32-n は自局宛のセルデータを現用系と予備系との送受信部 35-1 a ~ 35-n a, 35-1 b ~ 35-n b により受信処理する。又この受信タイミングを基に予め設定されたタイミングに主局 31 宛のバーストデータ (セルデータ) を送出する (上りデータも下りデータの順序に依存しない。特に図の順序である必要はない)。

【0006】各従局 32-1 ~ 32-n の現用系と予備系との送受信部 35-1 a ~ 35-n a, 35-1 b ~ 35-n b からの光信号によるバーストデータは、光ファイバ伝送路 37-1 a ~ 37-n a, 37-1 b ~ 37-n b を介して光カプラ 33 a, 33 b に伝送されて合波されるから、上り伝送方向として示すように、ガードタイムをおいて多重化された状態となり、光ファイバ伝送路 36 a, 36 b を介して主局 31 の送受信部 34 a, 34 b に伝送される。

【0007】この場合、各従局 32-1 ~ 32-n の現用系の送受信部 35-1 a ~ 35-n a と予備系の送受信部 35-1 b ~ 35-n b と、光カプラ 33 a, 33 b との間の距離がそれぞれ相違することが多いものであるから、上り伝送方向として示すように、#1 ~ #n の従局順番ではなく、現用系と予備系とに於いて順番が異なる場合がある。例えば、#1, #3, #2, ... のように順番が相違したり、又は空きタイムスロットが介入する場合がある。

【0008】従って、主局 31 に於いて、図 6 に示すような無瞬断切替回路を適用すると、同一の従局からのセルデータの位相を一致させた時に、他の従局からのセルデータの位相が一致しなくなるから、このような無瞬断切替回路を適用できないことになる。

【0009】そこで、主局 31 に於いて、バースト多重化された受信データを従局対応に分離し、再多重化することにより、現用系と予備系とのセルデータの位相を一致させる構成が提案された。例えば、図 8 に示すように、現用系と予備系との従局 #1, #2, #3 対応のセルデータ D1, D2, D3, ... が、図 7 の光カプラ 33 a, 33 b により合波されて多重化され、空きタイムスロットが挿入されたり、又従局の順番通りでない配

列となって主局 31 に伝送されることがある。

【0010】そこで、下方に示すように (従局 #3 については図示を省略)、現用系と予備系について、従局 #1, #2, #3 対応に多重分離する。それにより、従局 #1, #2, #3 対応のセルデータ D1, D2, D3, ... は所定の順序となるから、現用系及び予備系についてそれぞれ再多重化する。従って、現用系と予備系とのセルデータは同一の順序となるから、現用系と予備系とのセルデータの位相を一致させることにより、無瞬断切替が可能となる。

【0011】図 9 は従来例の位相差吸収用メモリ装置の説明図であり、図 8 に於ける多重分離と再多重化と共にメモリを用いて実現した場合を示し、41 はデータメモリ、42 はアドレスメモリ、43 はアドレス管理メモリ、44 はアドレス管理部である。データメモリ 41 には、受信したセルデータと、アドレス管理部 44 からの書込アドレス WA とが入力され、又アドレス管理部 44 からの読出アドレス RA に従ってセルデータが読出される。

【0012】又入力されたセルデータ対応のONU (従局) 番号がアドレス管理部 44 に入力され、アドレスメモリ 42 とアドレス管理メモリ 43 との内容を参照して書込アドレス WA 及び読出アドレス RA が output され、又アドレスメモリ 42 とアドレス管理メモリ 43 との内容の更新が行われる。

【0013】図 10 は書込動作説明図であり、信号の流れを示し、アドレス管理メモリ 43 は、ONU 番号が入力されると、そのONU 番号の末尾アドレスと空き領域先頭アドレスとを出力する。それにより、アドレス管理メモリ 43 の空き領域先頭アドレスをONU 末尾アドレスに更新する。又アドレスメモリ 42 は、ONU 末尾アドレスと空き領域先頭アドレスとにより、ONU 末尾アドレスにある END 値を空き領域先頭アドレスに変更し、又空き領域先頭アドレスにある 2 番目アドレスを出力して END 値を入れる。この空き領域 2 番目アドレスにより、アドレス管理メモリ 43 は、空き領域先頭アドレスをこの空き領域 2 番目アドレスに更新する。

【0014】又データメモリ 41 に於いては、入力されたセルデータを、空き領域先頭アドレスに書込むことになる。即ち、データメモリ 41 は、アドレス管理メモリ 43 からの空き領域先頭アドレスを書込アドレス WA として、セルデータを書込むことになる。このように、データメモリ 41 の空き領域はアドレス管理メモリ 43 により管理されて、入力されたセルデータは、データメモリ 41 の空き領域の先頭から順に書込まれる。

【0015】図 11 は読出動作説明図であり、信号の流れを示し、アドレス管理メモリ 43 にONU 番号が入力されると、このONU 番号対応の先頭アドレスと、空き領域末尾アドレスとを出力する。アドレスメモリ 42 は、空き領域末尾アドレスとONU 番号対応の先頭アド

レスとを基に、空き領域末尾アドレスにあるEND値をONU先頭アドレスに変更し、又ONU先頭アドレスにより、2番目アドレスを出力して、それにEND値を入れる。又アドレス管理メモリ43は、アドレスメモリ42からの2番目アドレスを、ONU番号対応の先頭アドレスとするように更新する。

【0016】データメモリ41は、アドレス管理メモリ43からのONU番号対応の先頭アドレスを読み出アドレスRAとしてセルデータを読み出すものである。従って、ONU番号が与えられると、このONU番号対応のセルデータが、書き時の順序に従って順次読み出される。又セルデータが読み出されたアドレスは、空き領域の末尾アドレスとなり、データメモリ41の空き領域は、入力された各ONU番号対応のセルデータに対して共有されるものとなる。

【0017】従って、図8の例えば現用系についてみると、データメモリ41にONU番号#1, #2, #3対応の先頭アドレスにセルデータD1, D2, D3, …が、順次更新された空き領域先頭アドレスに書き込まれる。そして、アドレス管理部等からのONU番号が与えられることにより、ONU番号対応の先頭アドレスからセルデータが読み出され、その時の2番目アドレスが先頭アドレスに更新されることにより、ONU番号対応に書き込まれた順序で読み出される。従って、共有メモリ構成により、複数のONU番号対応のセルデータを、現用系と予備系とに対してそれぞれ同一の順序となるように再多重化することができる。

【0018】

【発明が解決しようとする課題】図9に示す位相差吸収メモリ装置に於いて、故障発生時の検出手段はなく、又故障発生によりデータメモリの内容が破壊される可能性が大きい問題がある。例えば、図12の(A)は正常時の動作を示し、アドレス管理メモリ43は、ONU番号としてONU#1, ONU#2と空き領域について、それぞれ先頭アドレスと末尾アドレスとが、A→F, D→G, B→Bとして示すように管理されている。この場合の空き領域は、先頭アドレスと末尾アドレスとが同一のBであり、1個の空き領域が存在する場合を示している。

【0019】又データメモリ41にセルデータを書き込むことにより、ONU番号対応の末尾アドレスが更新される。例えば、ONU#1のセルデータが空き領域のアドレスBに書き込まれると、ONU#1対応の先頭アドレスと末尾アドレスとはA→Bとして示すものとなる。又アドレスメモリ42は、次に読み出すデータメモリ41のアドレスを格納しており、次に読み出すセルデータが存在しない場合は、endが書き込まれている。

【0020】又データメモリ41のアドレスA, B, C, …にセルデータDT11, 空き, DT12, DT21, DT13, DT14, DT22の順序で書きま

れれているとすると、アドレス管理部からONU番号としてONU#1が指定された時、アドレス管理テーブル43のONU#1対応の先頭アドレスはAであるから、データメモリ41のアドレスAからセルデータDT11が読み出される。そして、アドレスメモリ42の次アドレスがCであるから、アドレス管理メモリ43のONU#1対応の先頭アドレスはCに更新される。又アドレスAは空き領域の末尾アドレスとなり、セルデータの書き込みが行われない場合は、アドレス管理テーブル43の空き領域はB (先頭アドレス) → A (末尾アドレス) となる。

【0021】従って、次にONU番号としてONU#1が指定されると、データメモリ41のアドレスCからセルデータDT12が読み出され、その時のアドレスメモリ42の次アドレスはEであるから、アドレス管理メモリ43のONU#1対応の先頭アドレスはEに更新され、空き領域はB→Cに更新される。なお、次アドレスがendの場合は、そのONU番号対応のセルデータがデータメモリ41に格納されていないことを表す。

【0022】前述のようにして、ONU#1については、矢印で示すように、データメモリ41のアドレスA, C, E, Fの順にセルデータDT11, DT12, DT13, DT14が読み出される。同様に、ONU#2については、データメモリ41のアドレスD, Gの順にセルデータDT21, DT22が読み出される。

【0023】しかし、(B)に示すように、アドレスメモリ42の例えば次アドレスのEが異常として示すようになりDに変化した場合、アドレス管理メモリ43及びデータメモリ41が正常であっても、ONU番号ONU#1について、データメモリ41のアドレスA, C, D, Gの順序でセルデータDT11, DT12, DT21, DT22が読み出され、最悪事態では、末尾アドレスのFのセルデータが読み出されるまで、ONU#1のセルデータとして読み出される。即ち、他のONU番号のセルデータをONU#1のセルデータとして読み出すことになり、このセルデータを読み出したアドレスは、空き領域につながることになるから、ONU#2等の他の従局対応のセルデータは破壊されることになる。

【0024】前述のような故障発生時には、位相差吸収用メモリ装置としては何らの検出手段も備えていないものであり、従って、アドレスメモリ42の次アドレスの一部が一時的にエラーとなると、このエラーによる影響が波及し、従局からの正常なデータの受信が行われなくなり、一旦、一か所でエラーが発生すると、共有メモリの状態を絶て初期化（メモリ内のデータを含む）しない限り、この異常状態を回復することができない問題がある。本発明は、このような問題を解決し、且つ自動的に復旧可能とすることを目的とする。

【0025】

【課題を解決するための手段】本発明の位相差吸収用メモリ装置は、図1を参照して説明すると、(1)複数の

情報源(ONU)からの単位データ(セルデータ)を順次書き込み、この複数の情報源対応の単位データを所定の順序で読み出すデータメモリ1と、情報源対応の単位データを次回に読み出す為の次アドレスと、前回読み出しを行った前アドレスとを格納したアドレスメモリ2と、情報源対応に単位データをデータメモリ1に書き込んだ先頭アドレス及び末尾アドレスと、データメモリ1の空き領域の先頭アドレス及び末尾アドレスとを管理するアドレス管理メモリ3と、アドレスメモリ2及びアドレス管理メモリ3の内容を参照して、データメモリ1に書きアドレスWA及び読み出アドレスRAを加えるアドレス管理部4と、アドレスメモリ2から読み出す情報源対応の単位データの読み出アドレスを保持する読み出アドレス保持部6と、アドレスメモリ2に格納された情報源対応の前アドレスと、読み出アドレス保持部6に保持された情報源対応の前回の読み出アドレスとを比較し、一致の場合に正常、不一致の場合に異常と判断する比較部5とを備えている。

【0026】又(2)複数の情報源からの単位データを順次書き込み、この複数の情報源対応の単位データを所定の順序で読み出すデータメモリと、情報源対応の単位データを次回に読み出す為の次アドレスと情報源番号(ONU番号)とを対として格納したアドレスメモリと、情報源対応に単位データを前記データメモリに書き込んだ先頭アドレス及び末尾アドレスと、データメモリの空き領域の先頭アドレス及び末尾アドレスとを管理するアドレス管理メモリと、アドレスメモリ及びアドレス管理メモリの内容を参照して、データメモリに書きアドレス及び読み出アドレスを加えるアドレス管理部と、アドレスメモリに格納された情報源番号と、データメモリから今回読み出した単位データの情報源番号とを比較し、一致の場合に正常、不一致の場合に異常と判断する比較部とを備えている。

【0027】又(3)本発明の位相差吸収用メモリ装置の故障検出方法は、アドレス管理メモリ3とアドレスメモリ2とを参照して、データメモリ1に書きアドレスWA及び読み出アドレスRAを加えるアドレス管理部4を有し、データメモリ1に、情報源対応の次回に読み出しを行う為の次アドレスと、この情報源対応の前回読み出しを行った前アドレスとを格納し、データメモリ1から今回の単位データの読み出時に、今回の読み出アドレスを情報源対応に読み出アドレス保持部6に保持し、前回の読み出アドレスと、アドレスメモリ2に格納された前アドレスとを比較し、一致の場合に正常、不一致の場合に異常と判断する過程を含むものである。

【0028】又(4)アドレス管理メモリとアドレスメモリとを参照して、データメモリに書きアドレス及び読み出アドレスを加えるアドレス管理部を有し、データメモリに、情報源対応の次回の読み出しを行う次アドレスと、この情報源番号とを格納し、データメモリから今回の単位データの読み出時に、今回の単位データの読み出しを行つ

た情報源番号と、アドレスメモリに格納された情報源番号とを比較し、一致の場合に正常、不一致の場合に異常と判断する過程を含むものである。

【0029】又(5)データメモリから今回の単位データの読み出時に、今回の単位データの読み出しを行った情報源番号と、アドレスメモリに格納された情報源番号とを比較し、不一致の場合に異常と判断して、この情報源番号についてのアドレスメモリの次アドレスを総てクリアする過程を含むことができる。

【0030】

【発明の実施の形態】図1は本発明の第1の実施の形態の説明図であり、1はデータメモリ、2はアドレスメモリ、3はアドレス管理メモリ、4はアドレス管理部、5は比較部、6は読み出アドレス保持部である。この実施の形態に於いては、複数の情報源をONU(従局)とし、又単位データをセルデータ(ATMセル又はそれにプリアンブルを付加したセル)とした場合を示し、又アドレスメモリ2に、ONU番号対応の次回に読み出しを行う為の次アドレスと共に前回読み出しを行った前アドレスを格納する。又読み出アドレス保持部6は、ONU番号対応の読み出アドレスRAを保持する。

【0031】又比較部5は、ONU番号対応のアドレスメモリ2に格納された前アドレスと、読み出アドレス保持部6に保持された前回の読み出アドレスとを比較し、一致する場合は正常、不一致の場合は異常と判断し、異常と判断した場合はアラーム信号等を送出することができる。又アドレス管理部4は、入力されたONU番号に従って、アドレスメモリ2及びアドレス管理メモリ3を参照して、書きアドレスWA又は読み出アドレスRAをデータメモリ1に加え、入力セルデータを書きアドレスWAに従ってデータメモリ1に書き込み、又読み出アドレスRAに従ってセルデータを読み出す。

【0032】図2は本発明の第1の実施の形態の動作説明図であり、(A)は正常時、(B)は異常時の場合を示し、データメモリ1とアドレス管理メモリ3とは、図1と同様の場合を示す。又アドレスメモリ2は、次回に読み出しを行う為の次アドレスと共に、前回読み出しを行った前アドレスを格納する。例えば、下段に示す次アドレスEに対応する前アドレスはAであり、又次アドレスFに対応する前アドレスはCとなる。

【0033】前述のように、ONU番号の例えONU#1が指定されると、アドレス管理メモリ3のONU#1対応の先頭アドレスはAであるから、これを基に点線矢印で示すように、読み出アドレスRAはAとなって、データメモリ1のアドレスAからセルデータDT11が読み出される。そして、アドレスメモリ2の次アドレスCにより、アドレス管理メモリ3のONU#1対応の先頭アドレスはCに更新される。又この時の読み出アドレスAは読み出アドレス保持部6にONU#1対応に保持される。

【0034】この場合、ONU#1対応の最初のセルデ

ータをアドレスAから読出す場合であるから、アドレスメモリ2の次アドレスCと共に格納する前アドレスは(-)で示すように無しとなる。従って、比較部5に於いては、読出アドレス保持部6から読出されるONU#1対応の前回の読出アドレスも無しであり、前アドレスも無しであるから、この場合は比較一致と見做して正常と判断する。そして、データメモリ1からセルデータDT11を読出したアドレスAを空き領域の末尾アドレスとする。

【0035】次に、ONU#1が指定された時、アドレス管理メモリ3のONU#1対応の先頭アドレスはCに更新されているから、読出アドレスRAはCとなって、データメモリ1のアドレスCからセルデータDT12が読出され、この読出アドレスC対応に格納されたアドレスメモリ2の次アドレスEと前アドレスAとが読出されて、アドレス管理メモリ3のONU#1対応の先頭アドレスはEに更新され、又この時の読出アドレスCが読出アドレス保持部6にONU#1対応に保持される。又読出アドレス保持部6に保持されたONU#1対応の前回の読出アドレスAと、アドレスメモリ2から読出した前アドレスAとが比較部5に於いて比較される。この場合は、前回の読出アドレスA=前アドレスAとなり、比較一致となるから正常と判断される。そして、セルデータDT12を読出したアドレスCを空き領域の末尾アドレスとする。

【0036】同様に、ONU#1が指定されると、アドレス管理メモリ3のONU#1対応の先頭アドレスEにより、読出アドレスRAはEとなり、データメモリ1のアドレスEからセルデータDT13が読出され、アドレスメモリ2の次アドレスFと前アドレスCとが読出される。そして、アドレス管理メモリ3のONU#1対応の先頭アドレスはFに更新される。又この時の読出アドレスEが読出アドレス保持部6にONU#1対応に保持される。又読出アドレス保持部6に保持されたONU#1対応の前回の読出アドレスCと、アドレスメモリ2から読出した前アドレスCとが比較部5に於いて比較され、この場合も一致するから正常と判断される。そして、セルデータDT13を読出したアドレスEを空き領域の末尾アドレスとする。

【0037】同様に、ONU#1が指定されると、アドレス管理メモリ3のONU#1対応の先頭アドレスFにより、データメモリ1のアドレスFからセルデータDT14が読出され、アドレスメモリ2の次アドレスendと前アドレスEとが読出される。そして、アドレス管理メモリ3のONU#1対応の末尾アドレスはFであるから、データメモリ1のアドレスFからONU#1対応の最後のセルデータDT14が読出されることになる。

【0038】又この場合に、読出アドレス保持部6に保持されたONU#1対応の前回の読出アドレスEと、今回アドレスメモリ2から読出された前アドレスEとが比

較部5に於いて比較され、比較一致となるから正常と判断され、セルデータDT14を読出したアドレスFを空き領域の末尾アドレスとする。この場合、アドレス管理メモリ3のONU#1対応の先頭アドレスを、アドレスメモリ2の次アドレスのendに更新して、データメモリ1に蓄積されているONU#1対応のセルデータが無いことを示すことができる。

【0039】前述のようにして、前回の読出アドレスと、今回のアドレスメモリ2から読出した前アドレスとを比較部5に於いて比較することにより、アドレスメモリ2が正常であるか異常であるかを判別することができる。そして、前述の場合は、ONU#1対応のセルデータDT11, DT12, DT13, DT14が順次読出されることになり、従って、他のONU番号を順次選択指定することにより、ONU番号の順番に従った再多重化データを出力することができる。

【0040】又図2の(B)に示す場合は、アドレスメモリ2に於いて、異常として示すように、何らかの原因により次アドレスEがDに変化した場合であり、この場合は、データメモリ1のアドレスCからセルデータDT12を読出した時に、次アドレスがDとなるから、アドレス管理メモリ3のONU#1対応の先頭アドレスはDに更新される。又読出アドレス保持部6に保持された前回の読出アドレスはA、アドレスメモリ2から読出した前アドレスはAであるから、比較部5に於ける比較一致により正常と判断される。そして、アドレスCは空き領域の末尾アドレスとなる。

【0041】次にONU#1が指定されると、アドレス管理メモリ3のONU#1対応の先頭アドレスはDに更新されており、データメモリ1のアドレスDからセルデータDT21が読出され、又アドレスメモリ2から次アドレスGと前アドレス無しとが読出され、比較部5に於いて読出アドレス保持部6に保持された前回の読出アドレスCと、アドレスメモリ2から読出した前アドレス無しとを比較すると、比較不一致となるから異常と判断し、アラーム信号等を送出する。

【0042】この場合、例えば、アドレス管理部4は、アラーム信号に基づいてデータメモリ1に対するアクセスを中止するか、或いは、ONU#1についての異常発生と判断して、ONU#1についてのセルデータの読出しを中止する。例えば、アドレス管理メモリ3のONU#1対応の先頭アドレス及び末尾アドレスをendに強制的に更新する。又空き領域の末尾アドレスは前の状態を継続させる。

【0043】この場合、故障検出のONU#1についてのセルデータの読出しを中止し、他のONU番号のセルデータについては読出しを継続するように制御する場合、次にONU#2が指定されると、アドレス管理メモリ3のONU#2対応の先頭アドレスは更新されないからDであり、データメモリ1のアドレスDからセルデータ

11

タDT21が読み出され、アドレスメモリ2から次アドレスGと前アドレス無しとが読み出され、比較部5に於いて、読み出アドレス保持部6に保持されたONU#2対応の前回のアドレスの無しと、今回のアドレスメモリ2から読み出した前アドレスの無しとを比較し、一致と見做して正常と判断する。そして、アドレス管理メモリ3のONU#2対応の先頭アドレスはGに更新され、アドレスGは空き領域の末尾アドレスとなり、又アドレスDが読み出アドレス保持部6にONU#2対応に保持される。

【0044】次にONU#2が指定されると、アドレス管理メモリ3のONU#2対応の先頭アドレスはGであるから、データメモリ1のアドレスGからセルデータDT22が読み出され、アドレスメモリ2から次アドレスのendと前アドレスのDとが読み出され、比較部5に於いてこの前アドレスDと、読み出アドレス保持部6に保持された前回の読み出アドレスDとが比較され、比較一致により正常と判断され、アドレス管理メモリ3のONU#2対応の末尾アドレスはGであるから、データメモリ1のアドレスGからセルデータDT22を読み出すことにより、ONU#2にいては、次のセルデータをデータメモリ1に書き込むまで処理は終了となる。

【0045】図3は本発明の第2の実施の形態の説明図であり、11はデータメモリ、12はアドレスメモリ、13はアドレス管理メモリ、14はアドレス管理部、15は比較部である。この実施の形態は、アドレスメモリ12に、次アドレスと対応したONU番号を格納し、比較部15に於いて、データメモリ1からセルデータを読み出すONU番号と、アドレスメモリ12から読み出したONU番号とを比較し、一致の場合は正常と判断し、不一致の場合は異常と判断する。

【0046】即ち、今回読み出したセルデータのONU番号については、次回の読み出しを行う場合も同一のONU番号でなければならぬから、データメモリ11から今回読み出したセルデータのONU番号と、アドレスメモリ12に格納された次アドレスのONU番号とは同一となる必要がある。従って、比較部15に於いてONU番号の比較を行うことにより、故障検出が可能となる。

【0047】図4は本発明の第2の実施の形態の動作説明図であり、(A)は正常時、(B)は異常時を示し、データメモリ11とアドレス管理メモリ13とは、図2に示すデータメモリ1とアドレス管理メモリ3と同様の場合を示し、アドレスメモリ12には、次アドレスとONU番号とを格納する。例えば、ONU#1対応の次アドレスはC, E, F, endであり、ONU#2対応の次アドレスはG, endの場合を示している。

【0048】図4の(A)に於いて、例えば、最初にONU#1が指定されると、アドレス管理メモリ13のONU#1対応の先頭アドレスAによって、データメモリ11のアドレスAからセルデータDT11が読み出され、又アドレスメモリ12から次アドレスCとONU#1と

が読み出される。このアドレスメモリ12から読み出された次アドレスと対のONU#1を占有ONU番号とし、今回データメモリ11からセルデータを読み出したONU#1を読み出ONU番号とすると、図3に於ける比較部15は、占有ONU番号と読み出ONU番号とを比較するものである。

【0049】従って、前述の場合は、占有ONU#1と読み出ONU#1とを比較部15に於いて比較すると、ONU番号は一致するから正常と判定される。そして、アドレスメモリ12から読み出した次アドレスCによりアドレス管理メモリ13のONU#1対応の先頭アドレスが更新され、又セルデータDT11が読み出されたアドレスAは空き領域の末尾アドレスとなる。

【0050】以下同様にして、ONU#1が指定される毎に、アドレスメモリ12から読み出した占有ONU#1と読み出ONU#1とが比較部15に於いて比較され、又ONU#2が指定される毎に、アドレスメモリ12から読み出した占有ONU#2と読み出ONU#2とが比較部15に於いて比較され、一致する場合に正常と判断され、アドレス管理メモリ13の先頭アドレスの更新により、データメモリ11からは、ONU#1についてはA, C, E, F、又ONU#2についてはD, Gのそれぞれのアドレスからセルデータが読み出され、ONU番号の指定順序を選択することにより、データメモリ11から再多重化した状態でセルデータを読み出すことができる。

【0051】又図4の(B)に於いて、アドレスメモリ12の異常で示すように次アドレスがEからDに変化した異常状態の場合、ONU#1が指定され、その時のアドレス管理メモリ13の先頭アドレスがCに更新されている場合、データメモリ11のアドレスCからセルデータDT12が読み出され、又アドレスメモリ12から次アドレスDと占有ONU#1とが読み出される。そして、読み出ONU#1と占有ONU#1とが比較され、一致することにより正常と判断される。その時の次アドレスDによりアドレス管理メモリ13のONU#1対応の先頭アドレスはDに更新される。

【0052】そして、次にONU#1が指定されると、アドレス管理メモリ13のONU#1対応の先頭アドレスはDであるから、データメモリ11のアドレスDからセルデータDT21が読み出されるが、アドレスメモリ12から次アドレスGと占有ONU#2とが読み出されることになり、従って、占有ONU#2と読み出ONU#1とを比較すると不一致となるから、異常であると判断することができる。

【0053】そこで、図3の比較部15からアラーム信号を送出し、又アドレス管理部14はそれ以降のセルデータの読み出しを停止させるか、又はONU#1についての異常と判断して、このONU#1についてのセルデータの読み出しを中止させることができる。前述のように、

13

占有ONU番号と読出ONU番号とを比較し、正常であるか異常であるかを判断して、データメモリ11からのセルデータの読み出しにより再多重化を行うことができるから、信頼性を向上することができる。

【0054】図5は本発明の第3の実施の形態の動作説明図であり、(A)は正常時、(B)は異常時の場合を示し、正常時は図4に示す場合と同様であり、重複した説明は省略する。又図5の(B)に示す場合、図4の(B)の場合と同様に、アドレスメモリ12の次アドレスのEがDに変化した異常時であり、次の先頭アドレスがEからDに変更になることによって、データメモリ11のアドレスDからセルデータDT21を読み出す時の読み出ONU#1と占有ONU#2とが不一致となり、異常であると判断することができる。このような動作についても、前述の図4の(B)の場合と同様である。

【0055】この実施の形態に於いては、異常であると判断した場合に、アドレス管理メモリ13のONU#1についての更新処理を中止し、且つアドレスメモリ12のONU#1及びそれ対応の総ての次アドレスを点線矢印で示すようにクリアする。従って、ONU#1についてのセルデータの読み出しは中止されるが、他のONU番号のセルデータの読み出しは継続される。又その後にデータメモリ11にONU#1のセルデータが書込まれた場合は、アドレス管理メモリ13にONU#1対応の先頭アドレス及びアドレスメモリ12に次アドレスとONU#1とが格納されるから、ONU#1が指定されると、そのセルデータの読み出しが可能となる。

【0056】本発明は、前述の各実施の形態に限定されるものではなく、種々付加変更することが可能であり、又図7に示すパッシブダブルスター型伝送路に於ける主局側の現用予備の無瞬断切替えを行う為の位相差吸収用のみでなく、位相差吸収用として、複数の従局(ONU)等の情報源からのセルデータ等の単位データの書き込み及び読み出しを行う場合にも適用することができる。又セルデータは、パケットデータ等の単位データにも適用することができる。

【0057】

【発明の効果】以上説明したように、本発明は、複数の情報源からの単位データに対してデータメモリ1を共有化し、アドレスメモリ2とアドレス管理メモリ3との内容を参照してアドレス管理部4によりデータメモリ1の書き込みアドレスWAと読み出アドレスRAとを形成し、アドレスメモリ2に、次回の読み出しを行う為の次アドレスと共に、前回読み出しを行った前アドレスを格納し、データメモリ1から今回単位データを読み出した読み出アドレスを読み出アドレス保持部6に保持しておいて、今回データメモリ1から単位データを読み出した時に、アドレスメモリ

14

2に格納された前アドレスと、読み出アドレス保持部6に保持された前回の読み出アドレスとを比較部5に於いて比較し、比較一致の場合に正常と判断し、比較不一致の場合に異常と判断することにより、位相差吸収用メモリ装置の故障を確実に検出し、故障発生による全般に及ぼす影響を回避することができる。従って、各種の位相差吸収用に適用して信頼性を向上できる利点がある。

【0058】又アドレスメモリに次回の読み出しを行う為の次アドレスと共に情報源番号(ONU番号)を格納し、今回データメモリから単位データを読み出した情報源番号(ONU番号)とを比較部により比較し、比較一致の場合に正常と判断し、比較不一致の場合に異常と判断することにより、位相差吸収用メモリ装置の故障を確実に検出し、故障発生による全般に及ぼす影響を回避することができる。

【0059】又異常と判断した時に、異常発生の情報源番号についての処理を中止することにより、正常な情報源番号についての単位データの読み出しを継続することができ、又その場合に、アドレスメモリの異常発生情報源番号対応の内容のクリアして、他の情報源への影響を回避することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の説明図である。

【図2】本発明の第1の実施の形態の動作説明図である。

【図3】本発明の第2の実施の形態の説明図である。

【図4】本発明の第2の実施の形態の動作説明図である。

【図5】本発明の第3の実施の形態の動作説明図である。

【図6】従来例の無瞬断切替回路の説明図である。

【図7】パッシブダブルスター型伝送路の説明図である。

【図8】伝送路の距離差による現用系と予備系との受信セル列の説明図である。

【図9】従来例の位相差吸収用メモリ装置の説明図である。

【図10】書き動作説明図である。

【図11】読み出動作説明図である。

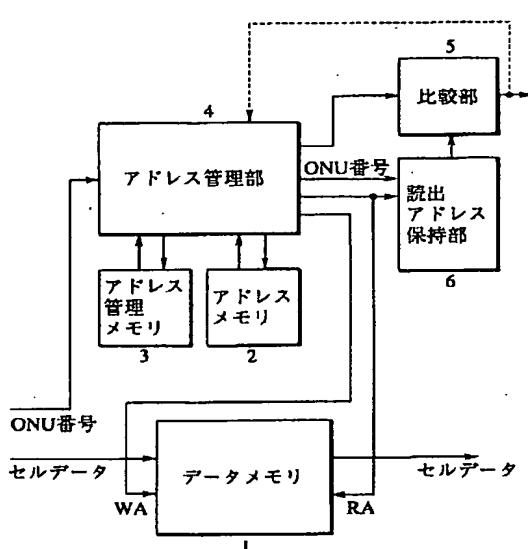
【図12】正常時と異常時との説明図である。

【符号の説明】

- 1 データメモリ
- 2 アドレスメモリ
- 3 アドレス管理メモリ
- 4 アドレス管理部
- 5 比較部
- 6 読出アドレス保持部

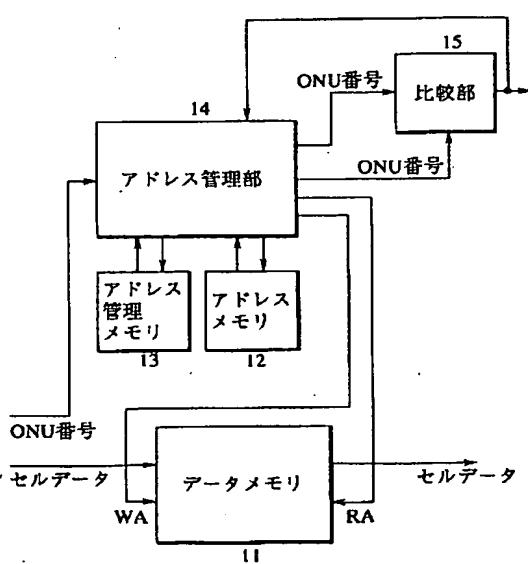
【図1】

本発明の第1の実施の形態の説明図



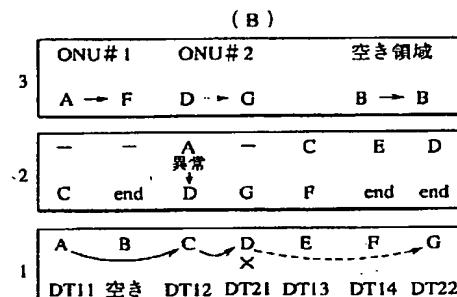
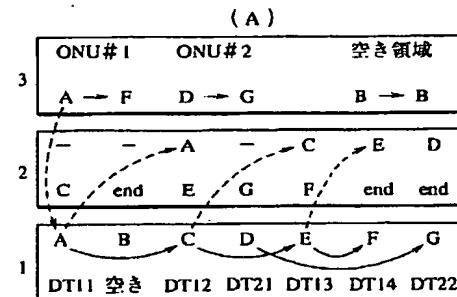
【図3】

本発明の第2の実施の形態の説明図



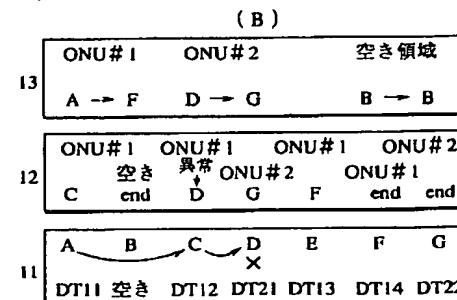
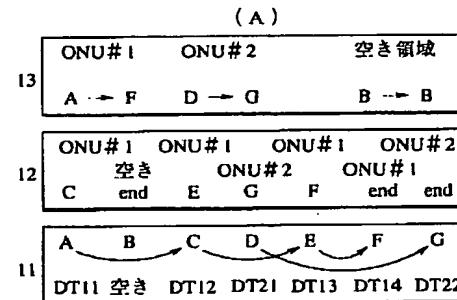
【図2】

本発明の第1の実施の形態の動作説明図



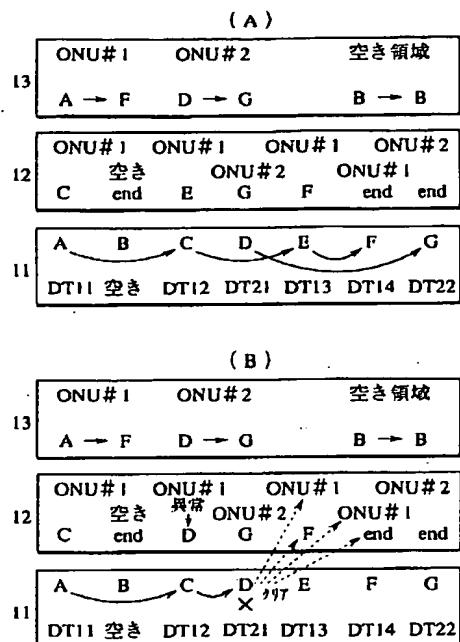
【図4】

本発明の第2の実施の形態の動作説明図



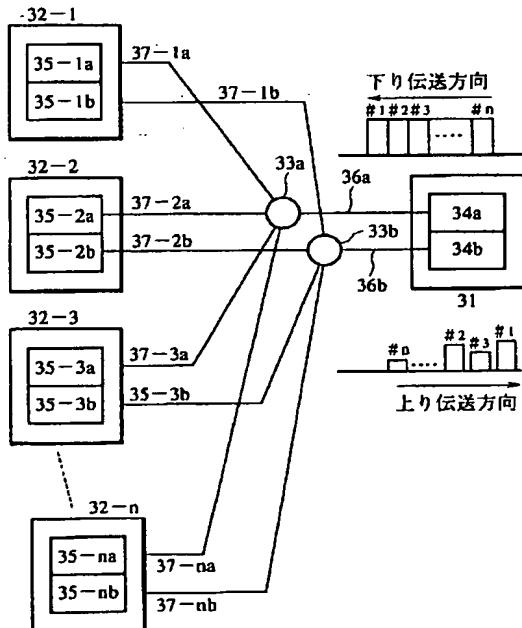
【図5】

本発明の第3の実施の形態の動作説明図



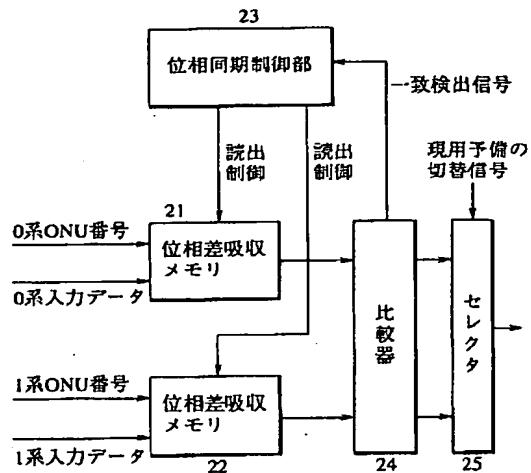
【図7】

パッシブダブルスター型伝送路の説明図



【図6】

従来例の無瞬断切替回路の説明図

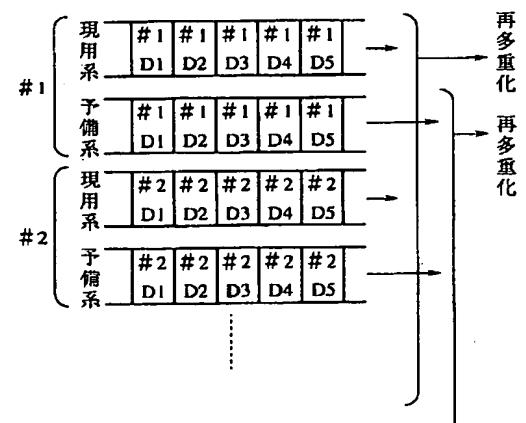


【図8】

伝送路の距離差による現用系と予備系との受信セル列の説明図

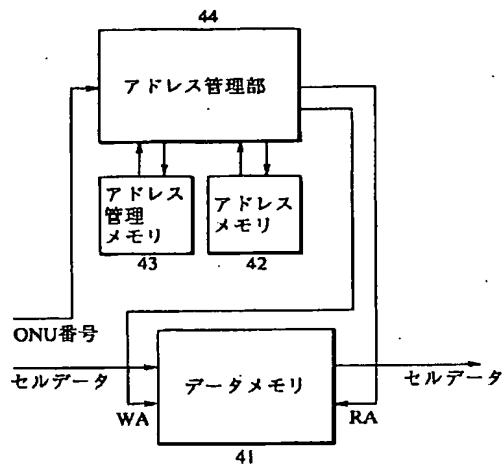
現用系	#1	#2	#3	#1	#2	#3	#1	空	#1	#3	#
	D1	D1	D1	D2	D2	D2	D3		D4	D3	

予備系	#1	#2	#3	空	#2	#1	#3	空	#1	#1	#3
	D1	D1	D1		D2	D2	D2		D3	D4	D3



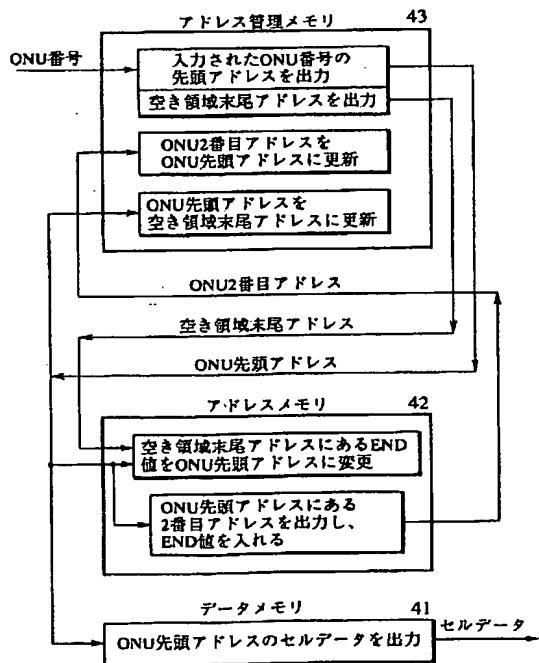
【図9】

従来例の位相差吸収用メモリ装置の説明図



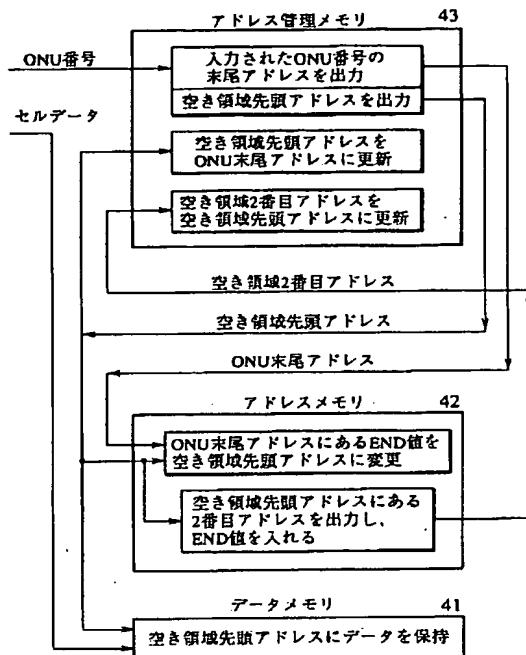
【図11】

読出動作説明図



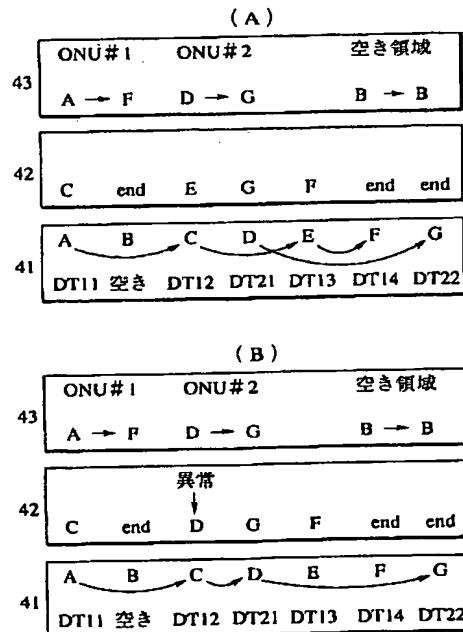
【図10】

書き込動作説明図



【図12】

正常時と異常時との説明図



フロントページの続き

(72) 発明者 廣田 正樹
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 篠宮 知宏
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 田島 一幸
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 河合 正昭
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 宮部 正剛
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 奥村 康行
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内